

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-074060

(43)Date of publication of application : 17.03.1998

(51)Int.Cl.

G09G 3/36  
G11C 19/28

(21)Application number : 08-229588

(71)Applicant : SHARP CORP

(22)Date of filing : 30.08.1996

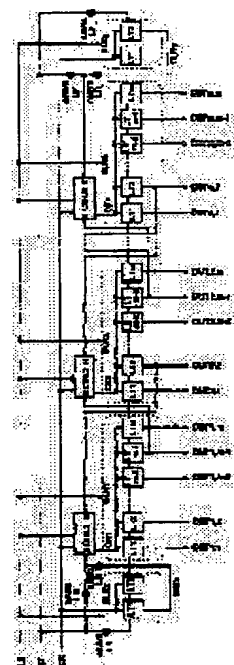
(72)Inventor : SHIRAKI ICHIRO  
SAKAI TAMOTSU  
KUBOTA YASUSHI

## (54) SHIFT REGISTER CIRCUIT AND PICTURE DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the power consumption and the number of terminals and to conduct a bidirectional scanning by dividing a shift register circuit into plural blocks and internally generating the control signals which selectively drive the divided blocks.

**SOLUTION:** The shift register circuit is divided into  $n$  circuit blocks. Additional circuit blocks are provided before and after the shift register. Then, respective clock signal control circuits CTRL $i$  are provided corresponding to divided circuit blocks BLK $i$ . Supply controls of clock signals are then performed against the prescribed ones of the clock signal control circuits in accordance with the output signals of the latch circuits within a preceding stage side circuit block BLK( $i-1$ ) and a succeeding stage side circuit block BLK( $i+1$ ). Thus, it is possible to transfer the start signals in a bidirectional manner.



## LEGAL STATUS

[Date of request for examination] 28.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3325780

[Date of registration] 05.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-74060

(43) 公開日 平成10年(1998) 3月17日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 1 1 C 19/28			G 1 1 C 19/28	B

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号 特願平8-229588

(22) 出願日 平成8年(1996) 8月30日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 酒井 保

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

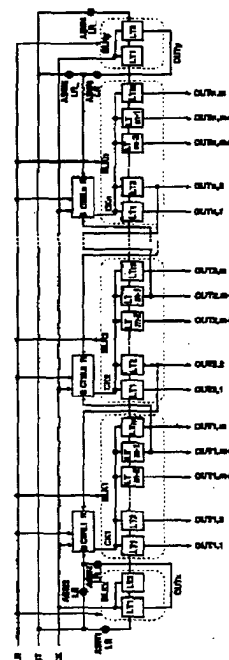
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 シフトレジスタ回路および画像表示装置

(57) 【要約】

【課題】 シフトレジスタ回路を複数のブロックに分割し、分割した各ブロックを選択的に駆動するための制御信号を内部生成することで、消費電力を低減し、端子数を削減するとともに双方向のスクランを可能にする。

【解決手段】 シフトレジスタ回路を  $n$  個の回路ブロックに分割し、これの前後に付加回路ブロックを設け、分割された各回路ブロック  $BLK\ i$  に対応させて、それぞれクロック信号制御回路  $CTRL\ i$  を設け、該クロック信号制御回路のうち所定のものを、これに対する回路ブロックの前段側回路ブロック  $BLK\ (i-1)$ 、および後段側回路ブロック  $BLK\ (i+1)$  内のラッチ回路の出力信号によって該クロック信号の供給制御を行い、双方向のスタート信号の転送を可能とした。



**【特許請求の範囲】**

【請求項1】 クロック信号に基づき入力信号に応じた信号を出力するラッチ回路を複数直列に接続した回路ブロックと、それぞれの回路ブロックのラッチ回路にクロック信号を供給するクロック信号制御回路とを備え、スタート信号を該クロック信号と同期して順次転送してなるシフトレジスタ回路において、

前記シフトレジスタ回路は前記スタート信号を双方向に転送することが可能であることを特徴とするシフトレジスタ回路。

【請求項2】 前記クロック制御回路に対応する回路ブロックの前段の回路ブロックの出力信号と、後段の回路ブロックの出力信号と、によってクロック制御回路から供給されるクロック信号が制御されることを特徴とする請求項1記載のシフトレジスタ回路。

【請求項3】 前記クロック制御回路に対応する回路ブロックの前段の回路ブロックの出力信号は、最終段から2段目以前のラッチ回路の出力であり、後段の回路ブロックの出力信号は、2段目以降のラッチ回路の出力であることを特徴とする請求項2記載のシフトレジスタ回路。

【請求項4】 シフトレジスタの両端に、隣接する回路ブロックへのクロック信号の供給停止を制御する付加回路ブロックを備えたことを特徴とする請求項3記載のシフトレジスタ回路。

【請求項5】 シフトレジスタ回路のスタート信号は、該付加回路ブロックと該回路ブロックとの間に入力されることを特徴とする請求項4記載のシフトレジスタ回路。

【請求項6】 前記付加回路ブロックのうちスタート信号入力側の付加回路ブロックは、スタート信号の入力に伴い停止することを特徴とする請求項4記載のシフトレジスタ回路。

【請求項7】 前記付加回路ブロックは、2段以上のラッチ回路を直列接続してなることを特徴とする請求項4記載のシフトレジスタ回路。

【請求項8】 前記クロック信号制御回路は、回路ブロック内のラッチ回路へのクロック信号の供給を行う論理回路を備え、該論理回路には初期化信号が入力されることを特徴とする請求項4記載のシフトレジスタ回路。

【請求項9】 前記ラッチ回路を構成するトランジスタ素子は多結晶シリコン薄膜を用いたことを特徴とする請求項1～8記載のシフトレジスタ回路。

【請求項10】 マトリクス状に配置された複数の画素、該画素の各列に対応して配置された複数のデータ信号線、該複数のデータ信号線に所定のタイミング信号に同期して順次映像信号データを出力するデータ信号線駆動回路、該画素の各行に対応して配置された走査信号線、該複数の走査信号線に所定のタイミング信号に同期して順次走査信号を出力する走査信号線駆動回路を有

し、各走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のための映像信号が供給される液晶パネルを備えたアクティブマトリクス型画像表示装置において、

前記データ信号線駆動回路もしくは走査信号線駆動回路には、請求項1～9のうちいずれかに記載のシフトレジスタを使用したことを特徴とする画像表示装置。

【請求項11】 前記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方の駆動回路を構成する回路素子は、前記液晶パネルを構成する基板上に画素を構成する素子と同一プロセスで形成された素子であることを特徴とする請求項10記載の画像表示装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明はシフトレジスタ回路およびそれを用いた画像表示装置に関するものである。

**【0002】**

【従来の技術】マトリクス型表示装置としては各種の構成が挙げられるが、近年、その中で、各画素に含まれるスイッチング素子として能動素子を用いたアクティブマトリクス型表示装置の開発が進み、その市場への普及が拡大している。アクティブマトリクス型表示装置は、通常、表示パネル内の画素群を駆動するための駆動回路を有している。この駆動回路として、例えば、シフトレジスタ回路が挙げられる。

【0003】まず、一般的なシフトレジスタの構成を図8に示す。このシフトレジスタは同図に示すように、ラッチ回路LT1～LTN（ここではN段とする）にクロック信号CK、およびこれを反転したクロック信号／CKを供給することによりスタート信号STを順に転送し、出力信号OUT1～OUTNを得る。

【0004】次に、これらのシフトレジスタにおいて、隣接する2段分のラッチ回路LTk、LT(k+1)

(kは1≤k<Nの奇数)の具体的な構成例を図9に示す。図9において、前段のラッチ回路LTkはインバータ91とクロックドインバータ92、93から、後段のラッチ回路LT(k+1)はインバータ94とクロックドインバータ95、96からなる。クロックドインバータ92、93、95、96は制御端子の入力がアクティブ状態のときに通常のインバータとして機能し、非アクティブ状態のときには出力をハイインピーダンスとする。

【0005】各ラッチ回路LTk、LT(k+1)はそれぞれインバータ91、94と一方のクロックドインバータ92、95とを巡回状態にし、フリップフロップ回路を構成している。また、入力されるスタート信号STをそれぞれクロックドインバータ93、96とインバータ91、94を介して次段に転送するとともに、これらインバータ91、94の出力から出力信号OUTk、OUT(k+1)を得るようにしている。そして、クロッ

ク信号CKは、前段のラッチ回路LTkにおける他方のクロックドインバータ93の制御端子と後段のラッチ回路LT(k+1)における一方のクロックドインバータ95の制御端子に供給され、反転したクロック信号/CCKは、前段のラッチ回路LTkにおける、一方のクロックドインバータ92の制御端子と後段のラッチ回路LT(k+1)における他方のクロックドインバータ96の制御端子に接続されている。

【0006】上記シフトレジスタにおけるラッチ回路LTk、LT(k+1)ではクロック信号がアクティブとなると、前段ラッチ回路LTkがスタート信号STをクロックドインバータ93を介して取り込むとともに、後段のラッチ回路LT(k+1)が入力を遮断して直前まで入力されていたスタート信号STをインバータ94とクロックドインバータ95のフリップフロップ回路で保持する。また、次の半周期にクロック信号/CCKがアクティブになると、前段のラッチ回路LTkが入力を遮断して直前まで入力されていたスタート信号STをインバータ91とクロックドインバータ92のフリップフロップ回路で保持するとともに、後段のラッチ回路LT(k+1)がこのラッチ回路LTkから出力されるスタート信号STをクロックドインバータ96を介して取り込む。したがって、これらのラッチ回路LTk、LT(k+1)は、クロック信号の立ち上がり立ち下がりによって順次前段のスタート信号STをラッチして次段に転送する動作を行う。

【0007】次に、アクティブマトリクス型液晶表示装置の概略構成図を図10に示す。図10に示すように、アクティブマトリクス型液晶表示装置は、液晶パネルARYとデータ信号線駆動回路SDと走査信号線駆動回路GDとを有している。液晶パネルARYは、ガラスなどからなる2枚の透明基板を液晶を介して向かい合わせに配置したものである。そして、一方の透明基板にはm本のデータ信号線SL1~SLmとn本の走査信号線GL1~GLnとが縦横に基盤の目状に形成されるとともに、これらデータ信号線SLi(iは1≦i≦mの整数)と走査信号線GLj(jは1≦j≦nの整数)の各交差部に画素PIXi,jが形成されている。データ信号線駆動回路SDは、データ信号DATをデータクロック信号CKSとスタート信号SPSによりサンプリングし、データ信号線SL1~SLmにそれぞれ振り分けて送出する駆動回路である。走査信号線駆動回路は、走査クロック信号CKGとスタート信号SPGにより走査信号線GL1~GLnを順に1本ずつ走査して、データ信号線SL1~SLmに送出された各データ信号DATを書き込むべき1行の画素PIX1,j~PIXm,jを選択する回路である。また、信号GPSは、走査信号線に入力するパルスのパルス幅を可変とするために入力されている。

【0008】ここで、データ信号線駆動回路について説

明を行う。データ信号線駆動回路がデータ信号DATを各データ信号線SLiに送出する方式には、点順次駆動方式と線順次駆動方式とがある。点順次駆動方式は、データ信号DATをサンプリングするたびにデータ信号線SLiに送出する方式であり、線順次駆動方式は、1水平期間にわたって順次サンプリングしたデータ信号DATをいったんそれぞれホールドし、これら1行分のデータ信号DATをデータ信号線SL1~SLmに一斉に送出する方式である。データ信号線駆動回路はいずれの方法の場合にもシフトレジスタを用いるが、回路構成が簡単な点順次駆動方式を用いたデータ信号線駆動回路を図11に示す。

【0009】図11に示すように、このデータ信号線駆動回路は、m段のラッチ回路LT1~LTmからなるシフトレジスタを備え、データクロック信号CKSに同期してスタート信号SPSが順次各段のラッチ回路LTi(1≦i≦m)で転送される。スタート信号SPSは、1水平期間ごとに1パルスが出力されるパルス信号である。そして、各段のラッチ回路LTiからパラレルに出力されるこのスタート信号SPSのラッチ信号はそれぞれバッファ回路BUF1~BUFmを介してサンプリングスイッチASW1~ASWmの制御端子に入力される。各バッファ回路BUFi(1≦i≦m)は、ラッチ回路で保持されたスタート信号SPSを増幅し、必要に応じて反転して出力する回路であり、各サンプリングスイッチASWi(1≦i≦m)は、制御端子の入力に応じて回路のON/OFFを行うアナログスイッチである。

【0010】また、データ信号DATは、これらのサンプリングスイッチASW1~ASWmを介してそれぞれデータ信号線SL1~SLmに送出される。したがって、このデータ信号線駆動回路は、1水平期間ごとに、スタート信号SPSのパルスが、シフトレジスタの各段のラッチ回路LTiで順次転送されることにより、各サンプリングスイッチASWiを順にONにしてデータ信号DATをサンプリングし、各データ信号線SLiに送出する。

【0011】次に、液晶パネルARYを説明する。液晶パネルARYにおけるデータ信号線SLiと走査信号線GLjの各交差部に形成される画素PIXi,jは図12に示すように、スイッチ素子SWと液晶容量C1、および補助容量Csからなる画素容量とによって構成される。スイッチ素子SWは、一方の透明基板上に形成されたMOS構成の薄膜トランジスタ(TFT)であり、ゲートが走査信号線GLjに接続されている。液晶容量C1は一方の透明基板上の当該画素PIXi,j内に形成された画素電極と他方の透明基板上の共通電極との間の液晶を介した容量であり、補助容量Csは、この液晶容量C1に蓄積される電荷を補うために必要に応じて一方の透明基板に設けられる容量素子である。そして、これ

ら液晶容量C<sub>l</sub>の画素電極と補助容量C<sub>s</sub>の一方の電極がスイッチ素子SWのソースドレイン間を介してデータ信号線SL<sub>i</sub>に接続されている。このため、上記走査信号線駆動回路GDの走査により走査信号線GL<sub>j</sub>がアクティブになると、当該行の画素PIX<sub>1, j</sub>～PIX<sub>m, j</sub>の各スイッチ素子SWがONとなり、上記データ信号線駆動回路SDからデータ信号線SL<sub>1</sub>～SL<sub>m</sub>に送出されたデータ信号DATがそれぞれの画素PIX<sub>1, j</sub>～PIX<sub>m, j</sub>の液晶容量C<sub>l</sub>と補助容量C<sub>s</sub>に書き込まれる。したがって、この液晶表示装置は、データ信号DATに応じて液晶パネルARYの各画素PIX<sub>i, j</sub>における液晶容量C<sub>l</sub>の印加電圧が変化するので、当該画素PIX<sub>i, j</sub>の透過率や反射率が制御されて、n行m列の画素による画像表示を行っている。

【0012】また、近年マトリクス型画像表示装置ではディスプレイ一体型ビデオカメラやデジタルスチルカメラとしての用途が拡大している。特に、ディスプレイ一体型ビデオカメラにおいて、通常の被写体の撮影には通常表示、撮影者自身の撮影には鏡像表示等の切り替えが必要であり、これに対応すべく双方向にスタート信号の転送が可能な各駆動回路（データ信号DATのデータ信号線SL<sub>1</sub>～SL<sub>m</sub>への送出方向を逆方向からでも可能なデータ信号線駆動回路、走査信号線GL<sub>1</sub>～GL<sub>n</sub>の逆方向からの走査も可能な走査信号線駆動回路）が要求されている。

【0013】上記要求を満たすために、双方向にスタート信号の転送が可能なシフトレジスタを用いたデータ信号線駆動回路や、走査信号線駆動回路が開発されている。

【0014】双方向にスタート信号の転送が可能なシフトレジスタ（双方向シフトレジスタ、ここではK段とする）を図13に、図13において隣接する2段のラッチ回路LT<sub>k</sub>、LT<sub>(k+1)</sub>（kは1≦k<Kの奇数）の具体的な構成例を図14に示す。

【0015】図13に示すように、シフトレジスタのそれぞれのラッチ回路にスキャン信号LRが入力され、双方向にスタート信号が転送可能となっている。

【0016】図14に示すように、前段のラッチ回路LT<sub>k</sub>は4個のクロックドインバータ101～103、107からなり、後段のラッチ回路LT<sub>(k+1)</sub>も同様に4個のクロックドインバータ104～106、108からなる。入力信号としては、通常のシフトレジスタ回路にスタート信号の転送方向を決定するスキャン信号LRと、これの反転信号スキャン信号バー／LRを追加した構成となる。

【0017】そして、クロック信号CKは、前段のラッチ回路LT<sub>k</sub>におけるクロックドインバータ103の制御端子と後段のラッチ回路LT<sub>(k+1)</sub>におけるクロックドインバータ105の制御端子に供給され、クロック信号／CKは、前段のラッチ回路LT<sub>k</sub>における、ク

ロックドインバータ102の制御端子と後段のラッチ回路LT<sub>(k+1)</sub>におけるクロックドインバータ106の制御端子に接続されている。そしてスキャン信号LRが前段ラッチ回路LT<sub>k</sub>のクロックドインバータ101および、後段ラッチ回路LT<sub>(k+1)</sub>のクロックドインバータ104に、そしてスキャン信号バー／LRは前段ラッチ回路LT<sub>k</sub>のクロックドインバータ107および、後段ラッチ回路LT<sub>(k+1)</sub>のクロックドインバータ108の制御端子に接続される。

【0018】前記シフトレジスタにおいて、スタート信号STをラッチ回路LT<sub>k</sub>に入力し、ラッチ回路LT<sub>k</sub>からLT<sub>(k+1)</sub>に転送する場合、スキャン信号LRをアクティブとすることで、前段ラッチ回路LT<sub>k</sub>のクロックドインバータ101、後段ラッチ回路LT<sub>(k+1)</sub>のクロックドインバータ104が通常のインバータとして機能し、前段ラッチ回路LT<sub>k</sub>のクロックドインバータ107、後段ラッチ回路LT<sub>(k+1)</sub>のクロックドインバータ108がハイインピーダンスとなり、上述した通常のシフトレジスタと同様の動作を行い、OUT<sub>k</sub>、OUT<sub>(k+1)</sub>の順で出力信号を得ることがきる。

【0019】次に、ラッチ回路LT<sub>(k+1)</sub>からLT<sub>k</sub>に転送する場合には、スキャン信号バー／LRをアクティブとすることで、ラッチ回路LT<sub>k</sub>のクロックドインバータ107、ラッチ回路LT<sub>(k+1)</sub>のクロックドインバータ108が通常のインバータとして機能し、ラッチ回路LT<sub>k</sub>のクロックドインバータ101、ラッチ回路LT<sub>(k+1)</sub>のクロックドインバータ104がハイインピーダンスとなり、前述の場合とは逆の動作を行いOUT<sub>(k+1)</sub>、OUT<sub>k</sub>の順で出力信号を得ることがきる。

【0020】そして、図10におけるデータ信号線駆動回路SD、または走査信号線駆動回路GDが有するシフトレジスタを前記双方向シフトレジスタに置き換えることで、データ信号線駆動回路であれば、双方向のデータ信号線のスキャンが実現され左右反転表示が可能となり、走査信号線駆動回路であれば、双方向の走査信号線のスキャンが実現され上下反転表示が可能となる。

【0021】

【発明が解決しようとする課題】しかし、上述した両シフトレジスタは、1水平期間（データ信号線駆動回路）や、1垂直期間（走査信号線駆動回路）ごとに1パルス転送するだけなので、スタート信号STの転送に伴う消費電力（電源端子からみた消費電力）はそれほど大きくならない。しかし、クロック信号CKや／CKは、各段のラッチ回路LT<sub>k</sub>（kは1≦k≦Kの整数）のクロックドインバータ102、103やクロックドインバータ105、106の制御端子に入力され、1水平期間や1垂直期間内にも繰り返し信号レベルが頻繁に変化する。しかも表示装置で用いられているシフトレジスタの段数

Kは極めて多いものであり、VGA規格の場合にはデータ信号線駆動回路では640段、走査信号線駆動回路では480段が必要となる。さらに、XGA規格になると、データ信号線駆動回路では1024段、走査信号線駆動回路では768段が必要となる。

【0022】このため、従来のシフトレジスタはクロック信号CKの信号線における寄生容量や、クロックドライバのゲート容量などを充電するために大量の電流が流れ、消費電流が非常に大きくなるという問題点があった。

【0023】そこで、上記課題を解決するために、シフトレジスタを複数の回路ブロックに分割し、スタート信号のパルス部分が転送されている回路ブロックにのみクロック信号を供給し、このクロック信号による消費電力の増大を抑制する技術が特公昭63-50717号公報に開示されている。これは、分周回路で分周したクロック信号に同期させて、シフトレジスタを分割した回路ブロックの数に相当する段数を有する選択用のシフトレジスタでスタート信号を転送することにより、クロック信号の供給を必要とする回路ブロックを順次選択したものであるが、上記技術を双方向のシフトレジスタに適用したものではない。

【0024】

【課題を解決するための手段】本発明は、クロック信号に基づき入力信号に応じた信号を出力するラッチ回路を複数直列に接続した回路ブロックと、それぞれの回路ブロックのラッチ回路にクロック信号を供給するクロック信号制御回路と、を備え、スタート信号を該クロック信号と同期して順次転送してなるシフトレジスタ回路において、該シフトレジスタ回路は該スタート信号を双方向に転送することが可能であることを特徴としたものであり、そのことにより上記目的が達成される。

【0025】また、前記クロック制御回路に対応する回路ブロックの前段の回路ブロックの出力信号と、後段の回路ブロックの出力信号と、によってクロック制御回路から供給されるクロック信号が制御されることが好ましい。

【0026】また、前記クロック制御回路に対応する回路ブロックの前段の回路ブロックの出力信号は、最終段から2段目以前のラッチ回路の出力であり、後段の回路ブロックの出力信号は、2段目以降のラッチ回路の出力であることが好ましい。

【0027】また、シフトレジスタの両端に、隣接する回路ブロックへのクロック信号の供給停止を制御する付加回路ブロックを備えたことが好ましい。

【0028】また、シフトレジスタ回路の入力信号は、該付加回路ブロックと該回路ブロックとの間に入力されることが好ましい。

【0029】前記付加回路ブロックのうちスタート信号入力側の付加回路ブロックは、スタート信号の入力に伴

い停止することが好ましい。

【0030】また、前記付加回路ブロックは、2段以上のラッチ回路を直列接続してなることが好ましい。

【0031】また、前記クロック信号制御回路は、ブロック内のラッチ回路へのクロック信号の供給を行う論理回路を備え、該論理回路には初期化信号が入力されることが好ましい。

【0032】また、前記ラッチ回路を構成するトランジスタ素子は多結晶シリコン薄膜を用いることが好ましい。

【0033】本発明は、マトリクス状に配置された複数の画素、該画素の各列に対応して配置された複数のデータ信号線、該複数のデータ信号線に所定のタイミング信号に同期して順次、映像信号データを出力するデータ信号線駆動回路、該画素の各行に対応して配置された走査信号線、該複数の走査信号線に所定のタイミング信号に同期して順次走査信号を出力する走査信号線駆動回路を有し、各走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のための映像信号が供給される液晶パネル、を備えたアクティブマトリクス型画像表示装置において、該データ信号線駆動回路もしくは走査信号線駆動回路には、映像データを取り込むためのサンプリング信号を各データ信号線に対応して順次出力する回路として前記シフトレジスタを使用したことを特徴とするものであり、それによって上記目的が達成される。

【0034】また、前記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は該駆動回路を構成する回路素子は、前記液晶パネルを構成する基板上に画素を構成する素子と同一プロセスで形成された素子であることが、好ましい。

【0035】以下、作用について説明する。

【0036】本発明によれば、クロック信号に基づき入力信号に応じた信号を出力するラッチ回路を複数直列に接続した回路ブロックと、それぞれの回路ブロックのラッチ回路にクロック信号を供給するクロック信号制御回路と、を備え、スタート信号を該クロック信号と同期して順次転送してなるシフトレジスタ回路において、該シフトレジスタ回路は該スタート信号を双方向に転送することが可能であることを特徴としたので、シフトレジスタ部で消費する消費電力を低減する、と同時に本発明を例えばディスプレイ一体型ビデオカメラに適用した場合には通常表示、鏡像表示の切り替えが可能となる。また、本発明をプロジェクションに適用した場合には、通常の床置きとして設置、天井から吊り下げての設置に対応可能となる。

【0037】前記クロック制御回路に対応する回路ブロックの前段の回路ブロックの出力信号と、後段の回路ブロックの出力信号と、によってクロック制御回路から供給されるクロック信号が制御されることが特徴としたの

10

20

30

40

50

で、外部にクロック信号CKの供給を制限するための大規模な回路を接続する必要がなく、簡単な回路でクロック信号を制御することが出来るため回路規模が小さくなる。

【0038】前記クロック制御回路に対応する回路ブロックの前段の回路ブロックの出力信号は、最終段から2段目以前のラッチ回路の出力であり、後段の回路ブロックの出力信号は、2段目以降のラッチ回路の出力であることを特徴としたので、該クロック制御回路に対応する回路ブロックの最終段の出力をLレベル（非アクティブな状態）として終了させることができる。

【0039】シフトレジスタの両端に、隣接する回路ブロックへのクロック信号の供給停止を制御する付加回路ブロックを備えたことを特徴としたので、最終回路ブロックの最終出力をLレベル（非アクティブな状態）として終了させることができる。すなわち、最終段の回路ブロックの転送状態を完全に終了できる。

【0040】シフトレジスタ回路のスタート信号は、該付加回路ブロックと該回路ブロックとの間に入力されることを特徴としたので、スタート信号が付加回路ブロックから初段の回路ブロックへ転送される際、クロック信号に対する内部クロック信号の遅延に起因し該スタート信号が正常に転送されないという不具合は生じない。

【0041】前記付加回路ブロックのうちスタート信号入力側の付加回路ブロックは、スタート信号の入力に伴い停止することを特徴としたので、さらなる消費電力の低減を可能にする。

【0042】前記付加回路ブロックは、2段以上のラッチ回路を直列接続してなることを特徴としたので、最終回路ブロックの最終出力をLレベル（非アクティブな状態）として終了させることができる。

【0043】前記クロック信号制御回路は、ブロック内のラッチ回路へのクロック信号の供給を行う論理回路を備え、該論理回路には初期化信号が入力されることを特徴としたので、電源投入時における不安定な内部状態をリフレッシュさせ、内部のラッチ回路の出力を全て正常なLレベル（非アクティブ状態）とすることで、スタート信号が正常に転送されないという不具合は生じない。

【0044】前記ラッチ回路を構成するトランジスタ素子は多結晶シリコン薄膜を用いたことを特徴としたので、例えば同一基板上に他の周辺回路を容易に形成できる。

【0045】本発明によれば、マトリクス状に配置された複数の画素、該画素の各列に対応して配置された複数のデータ信号線、該複数のデータ信号線に所定のタイミング信号に同期して順次、映像信号データを出力するデータ信号線駆動回路、該画素の各行に対応して配置された走査信号線、該複数の走査信号線に所定のタイミング信号に同期して順次走査信号を出力する走査信号線駆動回路を有し、各走査信号線から供給される走査信号に同

期して各データ信号線から各画素に画像表示のための映像信号が供給される液晶パネル、を備えたアクティブマトリクス型画像表示装置において、該データ信号線駆動回路もしくは走査信号線駆動回路に、前記シフトレジスタを使用したことを特徴としたので、シフトレジスタ部で消費する消費電力を低減する、と同時に本発明を例えばディスプレイ一体型ビデオカメラに適用した場合には通常表示、鏡像表示の切り替えが可能となる。また、本発明をプロジェクションに適用した場合には、通常の床置きとして設置、天井から吊り下げての設置に対応可能となる。

【0046】前記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は該駆動回路を構成する回路素子は、前記液晶パネルを構成する基板上に画素を構成する素子と同一プロセスで形成された素子であることを特徴としたので、液晶パネルの額縁部分を小さくすることが出来、実装コストが低減出来る。

【0047】

【発明の実施の形態】以下、本発明の実施形態について説明する。

（実施形態1）本発明の実施形態1におけるシフトレジスタ回路の構成図を図1に示す。本実施形態では、1ビットの双方向にスタート信号の転送が可能なシフトレジスタ回路（図14に示されたもの）を段方向にラッチ回路m段ずつn個の回路ブロックに分割した場合について説明する。ただし、本発明のシフトレジスタ回路の分割数や、各回路ブロックにおけるラッチ回路の段数は任意であり、回路ブロック毎に段数が異なってもよい。また、複数ビットのシフトレジスタ回路にも同様に本発明を適用することができる。

【0048】図1は本発明の実施形態1におけるシフトレジスタ回路であり、n個の回路ブロック（ラッチ回路群）BLK1～BLKnと付加回路ブロック（付加ラッチ回路群）BLKx、BLKyとこれら回路ブロック群BLK1～BLKnに対応して設けられたクロック信号制御回路CTRL1～CTRLn、およびアナログスイッチASW1～6によって構成されている。

【0049】n個の回路ブロックBLK1～BLKnは、入出力が順次直列に接続され、スタート信号STはアナログスイッチASW1、ASW2、ASW4、ASW5を介して付加回路ブロックBLKx、CTRL1、BLKy、CTRLnにそれぞれ接続される。前記シフトレジスタ回路のクロック信号CKは付加回路ブロックBLKx、BLKyとクロック信号制御回路CTRL1～CTRLnに接続され、該クロック制御回路では、それぞれ内部クロック信号CK1～CKn、およびこれらの反転信号であるクロック信号／CK1～／CKnを生成し、それぞれの回路ブロックBLK1～BLKnに供給している。

【0050】各クロック信号制御回路CTRL1～CT



RLnはセット端子S、リセット端子Rを備えており、クロック信号制御回路CTRL1のセット端子SにはアナログスイッチASW2を介したスタート信号STと、アナログスイッチASW3を介した回路ブロックBLKxの出力OUTxが接続されている。CTRL2~CTRLnのセット端子Sには、それぞれ対応する回路ブロックの1つ前の回路ブロックの平行出力における最終段から2段以前の出力が接続される。図1においては、最終段から2段目の出力がクロック信号制御回路CTRL2~CTRLnのセット端子Sに接続している。そして、リセット端子Rにはそれぞれ対応する回路ブロックの1つ後の回路ブロックにおける平行出力において2段以降の出力が接続される。図1においては、2段目の出力がクロック信号制御回路CTRL1~CTRL(n-1)のリセット端子Rに接続している。

【0051】クロック信号制御回路CTRLnのリセット端子Rには、アナログスイッチASW5を介したスタート信号STと、アナログスイッチASW6を介した回路ブロックBLKyの出力OUTyとが接続される。そして、スタート信号STの転送方向を決定するスキャン信号LR、および反転信号の/LRが、回路ブロックBLK1~BLKn、クロック信号制御回路CTRL1~CTRLn、付加回路ブロックBLKx、BLKyに接続している。

【0052】上記、回路ブロックBLK1~BLKnはそれぞれm段に直列接続された双方向にスタート信号STを転送可能なラッチ回路LT1~LTmからなる。そして、クロック制御回路CTRL1~CTRLnから出力される内部クロック信号CK1~CKn、および内部クロック信号/CK1~/CKnはそれぞれ対応した回路ブロック内のラッチ回路LT1~LTmに供給され、これらの各出力信号OUT1, 1~OUT1, mは外部に出力される。また、以降の回路ブロックBLK2~BLKnの出力OUT2, 1~OUTn, mについても同様であり、OUT1, 1~OUTn, mがシフトレジスタ回路の平行出力として外部に送り出されることとなる。また、スキャン信号LR、および/LRは、すべてのラッチ回路に接続されている。

【0053】付加回路ブロックBLKx、BLKyは、2段のラッチ回路を直列接続したものであり、スタート信号STは回路ブロックBLKxのラッチ回路LT1にアナログスイッチASW1を、回路ブロックBLKyのラッチ回路LT2にアナログスイッチASW4を、それぞれ介して接続されている。

【0054】図2は、クロック信号制御回路CTRLi (iは $1 \leq i \leq n$ の整数)の構成例を示している。クロック信号制御回路は、NORゲート21、22、クロックドインバータ23、24、および各1個のNANDゲート25、インバータ26から構成される。同図に示すように、NORゲート21、22の入出力を相互に接続

してRSフリップフロップ回路を構成し、NORゲート21の他方の入力にセット端子Sを、NORゲート22の他方の入力にリセット端子Rを接続する。該回路の出力Qに制御端子にスキャン信号バー/LRを接続したクロックドインバータ24を、出力/Qには、に制御端子にスキャン信号LRを接続したクロックドインバータ23を接続する。そして、これらの2つの出力を選択信号SBiとし、NANDゲート25の一方の端子に入力し、他方の入力端子にはクロック信号CKを入力する。この出力を内部クロック信号/CKi ( $1 \leq i \leq m$ )とし、インバータ26を介した信号/CKiの反転信号を内部クロック信号CKi ( $1 \leq i \leq m$ )とする。

【0055】スキャン信号LRがアクティブの場合、クロックドインバータ23が通常のインバータとして機能し、クロックドインバータ24はハイインピーダンスとなる。このため、セット端子Sが一旦アクティブとなれば、出力/Qが非アクティブとなり、クロックドインバータ23を介して選択信号SBiがアクティブとなる。次に、セット端子Sが非アクティブとなっても選択信号SBiのアクティブ状態を保持する。また、リセット端子Rの入力が一旦アクティブとなると、選択信号SBiが非アクティブとなり、その後リセット端子Rの入力が非アクティブに戻っても選択信号SBiの非アクティブ状態は保持される。

【0056】スキャン信号LRが非アクティブの場合は、クロックドインバータ23がハイインピーダンスとなり、クロックドインバータ24は通常のインバータとして機能する。このため、リセット端子Rが一旦アクティブとなれば、出力Qが非アクティブとなり、クロックドインバータ24を介し、選択信号SBiがアクティブとなる。セット端子Sが非アクティブとなっても選択信号SBiのアクティブ状態を保持する。また、セット端子Sの入力が一旦アクティブとなると、選択信号SBiが非アクティブとなり、その後セット端子Sの入力が非アクティブに戻っても選択信号SBiの非アクティブ状態は保持される。

【0057】上記、選択信号SBiはスキャン信号LRがアクティブのときは、セット端子Sの入力がアクティブになってから、リセット端子Rがアクティブとなるまでの期間アクティブ状態となり、内部クロック信号CKi、該信号の反転信号である内部クロック信号/CKiが出力される。

【0058】また、スキャン信号LRが非アクティブのときには、リセット端子Rの入力がアクティブになってから、セット端子Sがアクティブとなるまでの期間アクティブ状態となり、内部クロック信号CKi、該信号の反転信号である内部クロック信号/CKiが出力される。

【0059】次に動作について説明する。図3は実施形態1のシフトレジスタ回路の動作を示すタイムチャート

である。本実施形態においては、各回路ブロックBLK<sub>i</sub>が16段( $m=16$ )のラッチ回路LT<sub>1</sub>~16で構成されているものとする。また、クロック信号1周期を期間Tとし、内部クロック信号/CK<sub>1</sub>~CK<sub>n</sub>についての説明は省略する。

【0060】まず、スキャン信号LRがアクティブの場合について説明する。スキャン信号LRがアクティブの場合、図1におけるアナログスイッチASW1、ASW2、ASW6が導通状態、アナログスイッチASW3、ASW4、ASW5が非導通状態となり、図14に示されたラッチ回路において、クロックドインバータ101、104が通常のインバータとして機能し、クロックドインバータ107、108がハイインピーダンスとなる。

【0061】スタート信号STがHレベルに立ち上がるとクロック制御回路CTRL1のセット端子SがHレベル(アクティブ)となり、少し遅れて選択信号SB1がHレベルとなることで内部クロック信号CK1が回路ブロックBLK1に供給され始める。

【0062】そして、この内部クロック信号CK1が立ち上がると、付加回路ブロックBLK<sub>x</sub>(ラッチ回路2段)を介してスタート信号STが回路ブロックBLK1に入力され、当該回路ブロックにおける第1段のラッチ回路LT1の出力OUT<sub>1,1</sub>が時刻 $t_1$ にHレベル(アクティブ)となる。また、この内部クロック信号CK1が時刻 $t_2$ に立ち下がると、第2段のラッチ回路LT2の出力OUT<sub>1,2</sub>がHレベルに立ち上がる。これらの出力信号OUT<sub>1,1</sub>とOUT<sub>1,2</sub>はそれぞれの期間Tの後にLレベルにもどり、以降内部クロック信号の立ち上がり立ち下りのたびに出力信号OUT<sub>1,3</sub>~OUT<sub>1,16</sub>が順次期間TずつHレベルとなる。

【0063】次に、時刻 $t_3$ に前記出力信号OUT<sub>1,15</sub>がHレベルに立ち上がると、クロック信号制御回路CTRL2のセット端子SがHレベルとなり、少し遅れて選択信号SB2がHレベルとなるので、内部クロック信号CK2が回路ブロックBLK2に供給され始める。そして、時刻 $t_4$ における内部クロック信号CK2の2回目の立ち上がり(スキャン信号LRが非アクティブ状態時、後述する理由から期間Tだけマージンを必要とする)で、回路ブロックBLK2の第1段のラッチ回路LT1の出力信号OUT<sub>2,1</sub>がHレベルとなる。また、第2段のラッチ回路LT2の出力信号OUT<sub>2,2</sub>がHレベルとなる時刻 $t_5$ にクロック信号制御回路CTRL1のリセット端子RにHレベルが入力され、選択信号SB1がLレベルとなることで内部クロック信号CK1が停止する。また、この内部クロック信号CK1は回路ブロックBLK1の最終段ラッチ回路LT16の出力信号OUT<sub>1,16</sub>が立ち上がってからクロック1パルス分、余分に回路ブロックBLK1に供給することでラッチ回路LT<sub>m</sub>がLレベルを取り込み、保持し、出力信号

OUT<sub>1,16</sub>を正常なLレベルとして終了させることができる。

【0064】この内部クロックCK<sub>i</sub>が1パルス分マージンを必要とする理由を図9、図15をもとに説明する。図15は、ラッチ回路2段分(図9)のタイムチャートである。まず、図15において、時刻 $t_1$ に反転クロック信号/CK<sub>i</sub>がアクティブとなることで、ラッチ回路LT( $k+1$ )におけるクロックドインバータ96は通常のインバータとして機能し、クロックドインバータ95はハイインピーダンスとなり、前段ラッチ回路LT<sub>k</sub>の出力OUT<sub>k</sub>のHレベルを取り込みOUT( $k+1$ )がHレベルを出力する。次に、クロック信号CK<sub>i</sub>がアクティブとなる時間T<sub>2</sub>にラッチ回路LT( $k+1$ )のクロックドインバータ95がインバータとして機能し、クロックドインバータ96がハイインピーダンスとなることでOUT( $k+1$ )はHレベルを保持する。最後に、再び反転クロック信号/CK<sub>i</sub>がアクティブとなる時間 $t_3$ に前段ラッチ回路LT<sub>k</sub>の出力OUT<sub>k</sub>のLレベルを取り込みOUT( $k+1$ )がLレベルを出力する。従って出力OUT( $k+1$ )が立ち上がってから立ち下がるためには、少なくとも時刻 $t_1$ ~ $t_3$ までの時間、つまりクロック信号1パルス分マージンを必要とする。

【0065】このようにして、回路ブロックBLK1は選択信号SB1がHレベル(アクティブ)となる期間だけ内部クロック信号が供給され、転送動作を開始し、そして完了する。以降のブロックについても同様の動作が行われることにより、クロック信号CKが順に内部クロック信号CK<sub>2</sub>~CK<sub>n</sub>として回路ブロックBLK<sub>2</sub>~BLK<sub>n</sub>に供給され、時刻 $t_6$ に最終回路ブロックBLK<sub>n</sub>の最終段のラッチ回路LT16の出力信号OUT<sub>n,16</sub>がHレベルとなる。

【0066】そして、ラッチ回路2段からなる付加回路ブロックBLK<sub>y</sub>から時刻 $t_7$ にリセット信号となるOUT<sub>y</sub>がHレベルとなり、最終のクロック信号制御回路CTRL<sub>n</sub>のリセット端子RにHレベルを入力することで、内部クロック信号CK<sub>n</sub>の供給が停止させる。この付加回路ブロックBLK<sub>x</sub>、BLK<sub>y</sub>は最終段の回路ブロックの転送動作を完全に終了させるために付加される。

【0067】次に、スキャン信号が非アクティブの場合について説明する。スキャン信号が非アクティブの場合、図1のアナログスイッチASW3、ASW4、ASW5が導通状態、アナログスイッチASW1、ASW2、ASW6が非導通状態となり、図14に示されたラッチ回路において、クロックドインバータ107、108が通常のインバータとして機能し、クロックドインバータ101、104がハイインピーダンスとなる。

【0068】スタート信号STは付加回路ブロックBLK<sub>y</sub>とクロック信号制御回路CTRL<sub>n</sub>のリセット端子

Rに入力され、内部クロック信号CK<sub>n</sub>が供給を開始し、付加回路ブロックBLK<sub>y</sub>を介したスタート信号STが回路ブロックBLK<sub>n</sub>のラッチ回路LT<sub>m</sub>に入力され、内部クロック信号CK<sub>n</sub>に同期して、ラッチ回路LT<sub>m</sub>、LT<sub>(m-1)</sub>～LT<sub>1</sub>の順に転送される。そして、最終回路ブロックとなる回路ブロックBLK<sub>1</sub>への内部クロック信号CK<sub>1</sub>の供給が付加回路ブロックBLK<sub>x</sub>からの出力OUT<sub>x</sub>がクロック信号制御回路のセット端子Sに入力されることで停止する。

【0069】したがって、スキャン信号がアクティブの場合とは逆にOUT<sub>n</sub>、mからOUT<sub>y</sub>1、1の順に出力を得ることができる。

【0070】以上説明したように、本発明におけるシフトレジスタ回路はスタート信号STがHレベルとなるパルス部分を転送する回路ブロックBLK<sub>i</sub>にのみクロック信号CKを供給している。したがって、このクロック信号CKはシフトレジスタ回路全体のほぼ1/nのラッチ回路にのみ供給されるために、信号線における寄生容量やクロックドインバータ102、103、105、106（図14）のゲート容量などで消費される電力を低減できる。

【0071】しかも、クロック信号のCKの供給の開始と終了のタイミングパルスを、前後の回路ブロックBLK<sub>1</sub>～BLK<sub>n</sub>や付加回路ブロックBLK<sub>x</sub>、BLK<sub>y</sub>のラッチ回路LT<sub>1</sub>、LT<sub>2</sub>の出力から取得しているので簡単な回路構成のクロック信号制御回路CTRL<sub>1</sub>～CTRL<sub>n</sub>を設けるだけでクロック信号の供給を制御することができ、回路規模が必要以上に大きくなることはない。また、外部にクロック信号CKの供給を制限するための大規模な回路を接続する必要がないことから、実装面においても信頼性の向上やコストダウンを図ることができる。また、上記シフトレジスタ回路は、単結晶シリコントランジスタを用いて形成した場合にも有効であるが、特に多結晶シリコン薄膜トランジスタを用いて形成した場合に効果が顕著となる。これは、多結晶シリコン薄膜トランジスタの素子特性が単結晶シリコントランジスタに比べて劣るために、素子サイズを大きくする必要があり、これに伴って回路容量が大きくなることと、この素子特性が劣ることにより駆動電圧が高くなることからクロック信号による消費電力が大きくなることによる。

【0072】（実施形態2）本発明の第2の実施形態について図4を用いて説明する。これは実施形態1で述べたシフトレジスタ回路のスタート信号STの入力箇所、付加回路ブロックBLK<sub>x</sub>、BLK<sub>y</sub>へのクロック信号の供給方法を変更したものであり、基本的な動作については実施形態1と同様である。

【0073】同図において、スタート信号STが、アナログスイッチASW1を介し付加回路ブロックBLK<sub>x</sub>と回路ブロックBLK<sub>1</sub>の間に、アナログスイッチAS

W2を介しクロック信号制御回路CTRL<sub>1</sub>のセット端子Sに、アナログスイッチASW4を介し付加回路ブロックBLK<sub>y</sub>と回路ブロックBLK<sub>n</sub>の間に、アナログスイッチASW5を介しクロック信号制御回路CTRL<sub>n</sub>のリセット端子Rにそれぞれ入力される。また、付加回路ブロックBLK<sub>x</sub>のラッチ回路LT<sub>1</sub>からの出力OUT<sub>x</sub>はASW3を介しクロック信号制御回路CTRL<sub>1</sub>のセット端子Sに、付加回路ブロックBLK<sub>y</sub>のラッチ回路LT<sub>2</sub>からの出力OUT<sub>y</sub>はASW6を介してクロック信号制御回路CTRL<sub>n</sub>のリセット端子Rに入力される。そして、付加クロック信号制御回路CTRL<sub>x</sub>、CTRL<sub>y</sub>を配置し、それぞれにクロック信号CKを、付加クロック信号制御回路CTRL<sub>x</sub>にはスキャン信号バー/LRが、付加クロック信号制御回路CTRL<sub>y</sub>にはスキャン信号LRが入力される。

【0074】図5に付加クロック信号制御回路の構成を示す。この付加クロック信号制御回路は、NANDゲート51、53とインバータ52、54からなり、NANDゲート51、53のそれぞれの2本の入力のうち一方の入力にクロック信号CKが入力される。また、他方の入力に付加クロック信号制御回路CTRL<sub>x</sub>の場合は、スキャン信号バー/LRが、付加クロック信号制御回路CTRL<sub>y</sub>の場合は、スキャン信号LRが入力され、内部クロック信号CK<sub>x</sub>、/CK<sub>x</sub>、およびCK<sub>y</sub>、/CK<sub>y</sub>が生成される。そして内部クロック信号CK<sub>x</sub>、/CK<sub>x</sub>が付加回路ブロックBLK<sub>x</sub>に、および内部クロック信号CK<sub>y</sub>、/CK<sub>y</sub>が付加回路ブロックBLK<sub>y</sub>にそれぞれ供給される。

【0075】次に、図4を用いて動作を説明する。ここでは、付加回路ブロックBLK<sub>x</sub>、BLK<sub>y</sub>部分についての説明を行う。他の基本動作については、実施形態1と同様である。

【0076】ただし、スタート信号STとシフトレジスタ回路のパラレル出力信号OUT<sub>1</sub>、1～OUT<sub>n</sub>、mは、付加回路ブロックBLK<sub>x</sub>、BLK<sub>y</sub>内の2段のラッチ回路を介さないで出力のタイミングがTだけ早くなる。

【0077】まず、スキャン信号LRが、アクティブ状態の場合について説明を行う。スキャン信号LRが、アクティブ状態の場合、アナログスイッチASW1、ASW2、ASW6が導通状態であり、残りのアナログスイッチは非導通状態である。スキャン信号LRがアクティブであるため、付加クロック信号制御回路CTRL<sub>y</sub>が内部クロック信号CK<sub>y</sub>、/CK<sub>y</sub>を供給し付加回路ブロックBLK<sub>y</sub>は通常動作を行うが、付加クロック信号制御回路CTRL<sub>x</sub>は内部クロック信号CK<sub>x</sub>、/CK<sub>x</sub>を供給せず、付加回路ブロックBLK<sub>x</sub>は停止状態となり、実施形態1と同様の動作を行う。

【0078】次に、スキャン信号LRが、非アクティブ状態の場合の説明を行う。スキャン信号LRが、非アク

ティブ状態の場合、アナログスイッチASW1、ASW2、ASW6が非導通状態であり、残りのアナログスイッチは導通状態となる。上述した場合は逆に付加回路ブロックBLKxは通常動作を行うが、付加回路ブロックBLKyは停止状態となる。すなわち、実施形態1では付加回路ブロックBLKx、BLKyとも動作を行っていたのが、どちらか一方の付加回路ブロックだけが動作していることとなり、消費電力の削減が図れる。したがって、実施形態1と同様の効果を有するだけでなく、更なる消費電力の低減が可能となる。

【0079】さらに、実施形態1の構成であれば、例えばスキャン信号LRがアクティブ時、スタート信号STの転送は付加回路ブロックBLKxではクロック信号CKで、その後の回路ブロックBLK1では内部クロック信号CK1に同期して転送される。このクロック信号CKと内部クロック信号CK1とを比較すると、内部クロック信号CK1の負荷が大きく、通過するトランジスタの数が多いため内部クロックCK1の遅延が大きい。したがって、実施形態1の構成ではスタート信号STが付加回路ブロックBLKxから回路ブロックBLK1に転送される際に、クロック信号の遅延に起因して正常に転送されない可能性があるが実施形態2の構成ではこういったことは起こらない。

【0080】（実施形態3）実施形態1及び2におけるクロック信号制御回路の他の構成について図6を用いて説明する。図6に示す本実施形態のクロック信号制御回路CTRLiは図2に対し、NANDゲート67を追加し、初期化信号INITを入力し、クロックドインバータの制御端子に入力されるスキャン信号LR、/LRを入れ替えた構成である。

【0081】本発明に使用したシフトレジスタ回路を構成するラッチ回路は正帰還がかかる構成となっているため、電源投入時の内部状態によってはラッチ回路の出力がアクティブになるものがある。実施形態1及び2においては、シフトレジスタ回路におけるある特定段（ラッチ回路）の出力信号を用いてクロック信号制御回路を開閉しているため、電源投入時にその特定段（特にリセットをかけているラッチ回路の出力）の出力がアクティブとなると、その前の回路ブロックへのクロック信号の供給が遮断される。その結果、当該回路ブロックのシフトレジスタ回路では信号の走査が行われない。

【0082】前記問題を回避するためには、少なくとも電源投入時にすべてのラッチ回路の出力を非アクティブとする必要がある。本構成では電源投入時に初期化信号INITを入力することで、セット端子S、リセット端子Rの状態にかかわらず、すべてのラッチ回路にクロック信号を供給することができる。この状態でスタート信号を走査することにより、1走査期間後にはすべてのラッチ回路の出力が非アクティブとなる。その結果、以降の走査期間においては実施形態1及び2に示された動作

を行っても上述した不具合を防止できる。

【0083】（実施形態4）本発明の第4の実施形態によるアクティブマトリクス型画像表示装置について説明する。

【0084】本実施形態における画像表示装置は図7に示すアクティブマトリクス型の液晶表示装置でのデータ信号線駆動回路SDa、走査信号線駆動回路GDaの少なくとも一方に上記実施形態1もしくは2に示されたシフトレジスタ回路を用いたものである。

【0085】動作については、シフトレジスタ回路を各回路ブロックに分割し、選択的に動作させる構成であるので消費電力削減の効果を得ると同時にスキャン信号LRの状態を変えることで左右反転、上下反転が可能となる。従って、本発明をディスプレイ一体型ビデオカメラに適用した場合には通常表示、鏡像表示の切り替えが可能となり、本発明をプロジェクションに適用した場合には、通常の床置きとして設置、天井から吊り下げての設置に対応可能となる。

【0086】また、これらの駆動回路を単結晶シリコンを用いるIC（集積回路）を用い、液晶パネルARYに対し、外付けとした構成としてもよいが、多結晶シリコン薄膜トランジスタを用い、これら駆動回路と液晶パネルARYとを同一の基板上に形成してもよい。この場合には実施形態1で述べたように効果が顕著である。

【0087】

【発明の効果】以上のように本発明によれば、シフトレジスタ回路における転送動作が必要となる回路ブロックにのみ順次クロック信号を供給するので、このクロック信号をシフトレジスタ回路全体に供給する場合に比べ、信号線の寄生容量や、ラッチ回路のゲート容量などで消費される電力を大幅に低減できる。しかも、前後の回路ブロックの出力信号によって、各回路ブロックへのクロック信号の供給を制御できるので、シフトレジスタ回路の規模が大きくなることがない。さらには、双方向の転送動作にも対応可能となっているため、本発明をディスプレイ一体型ビデオカメラに適用した場合には通常表示、鏡像表示の切り替えが可能となり、本発明をプロジェクションに適用した場合には、通常の床置きとして設置、天井から吊り下げての設置に対応可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1におけるシフトレジスタ回路の構成を示すブロック図である。

【図2】本発明におけるクロック信号制御回路の構成を示す図である。

【図3】本発明の実施形態1におけるシフトレジスタ回路の動作を説明するタイムチャートである。

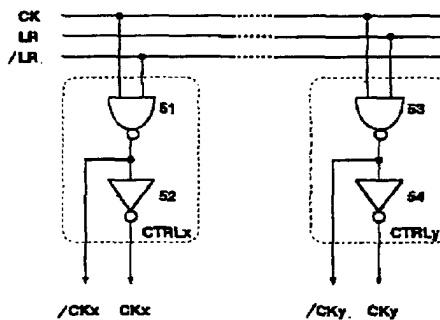
【図4】本発明の実施形態2におけるシフトレジスタ回路の構成を示すブロック図である。

【図5】本発明の実施形態2における付加クロック信号制御回路の構成を示すブロック図である。

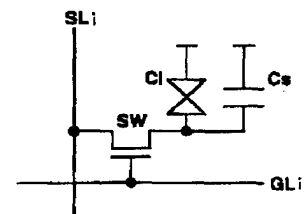
【符号の説明】

SD	データ信号線駆動回路
GD	走査信号線駆動回路
SPS	データ信号線駆動回路のスタート信号
SPG	走査信号線駆動回路のスタート信号
CKS	データ信号線駆動回路のクロック信号
CKG	走査信号線駆動回路のクロック信号
SL	データ信号線
GL	走査信号線
CTRL	クロック信号制御回路
BLK	回路ブロック
ST	スタート信号
ASW	アナログスイッチ
CK	クロック信号
LT	ラッチ回路
OUT	出力信号
LR	スキャン信号
SBi	選択信号
S	セット端子
R	リセット端子
CKi	内部クロック信号

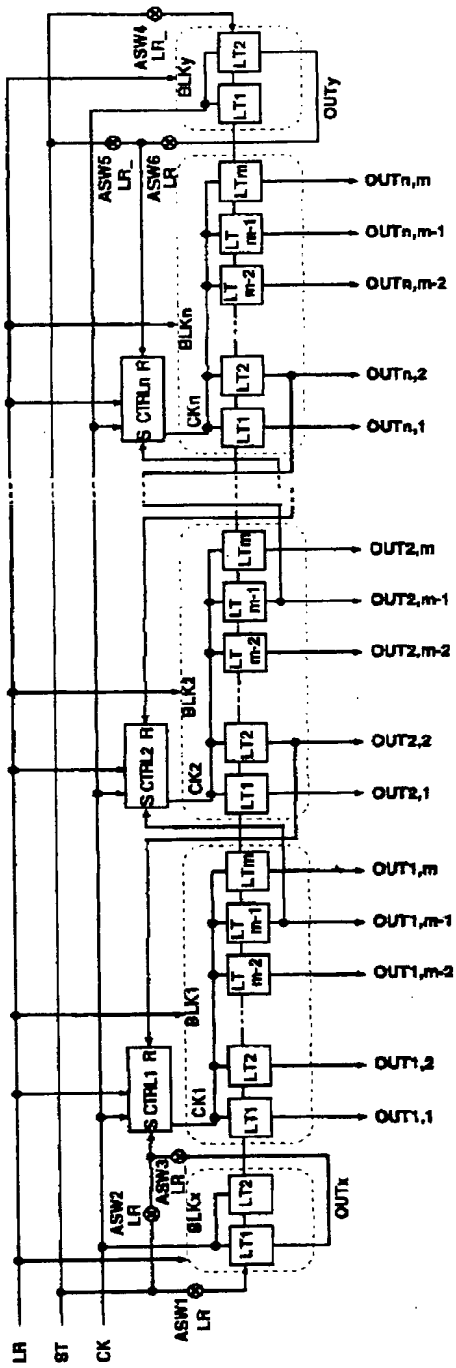
【図 5】



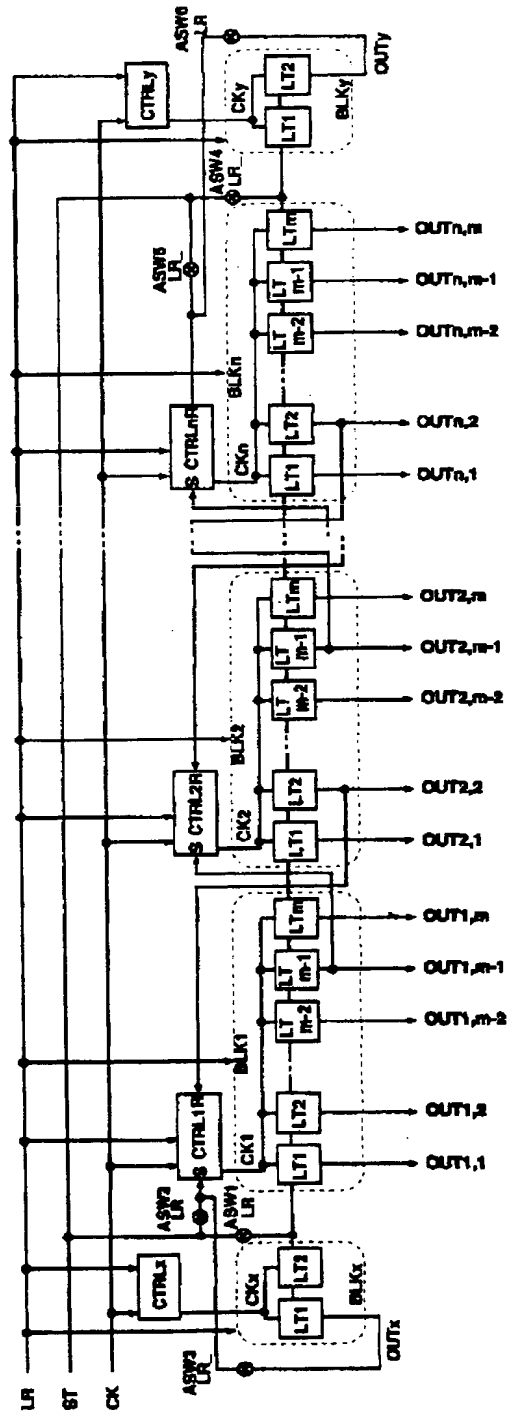
【图 12】



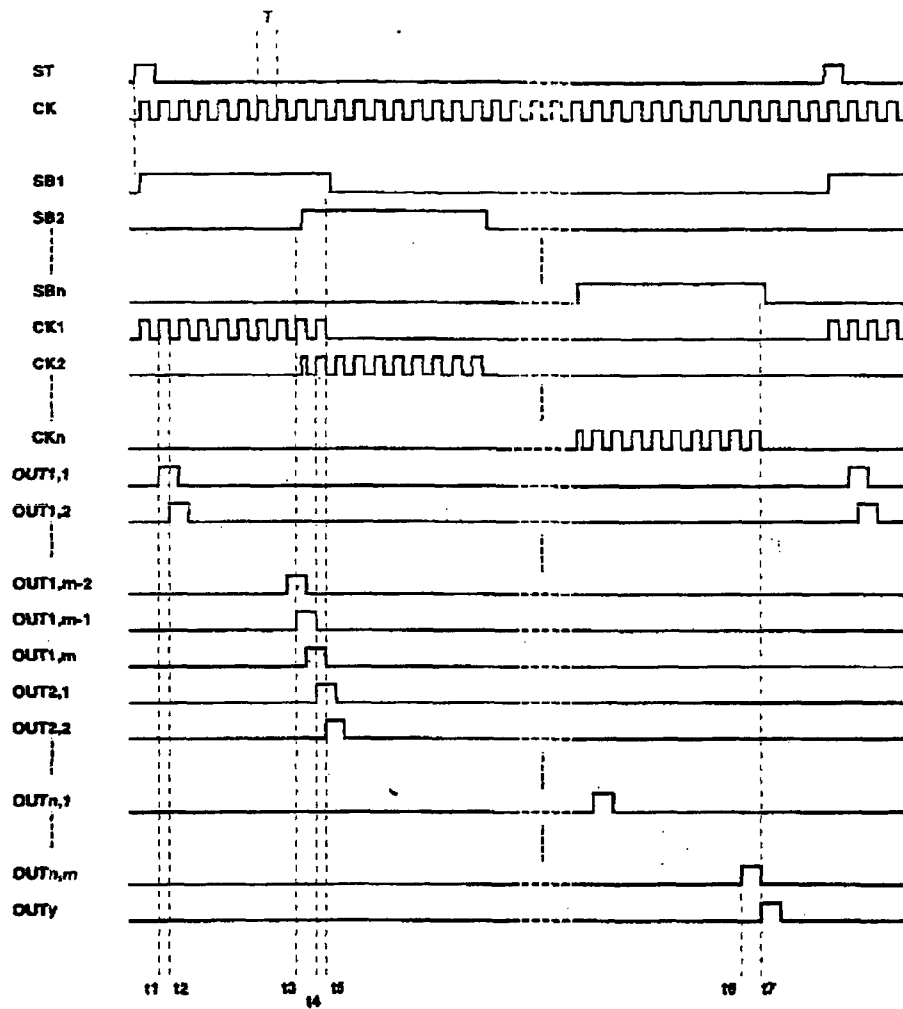
【図1】



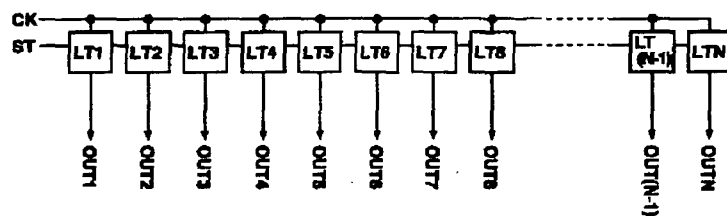
【図4】



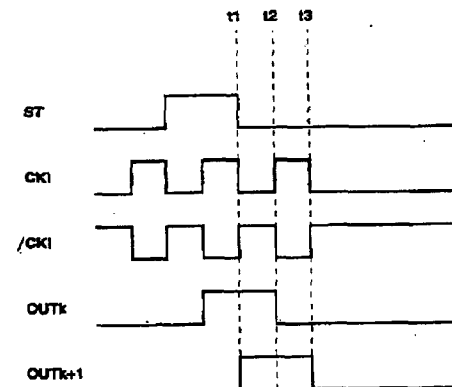
【図3】



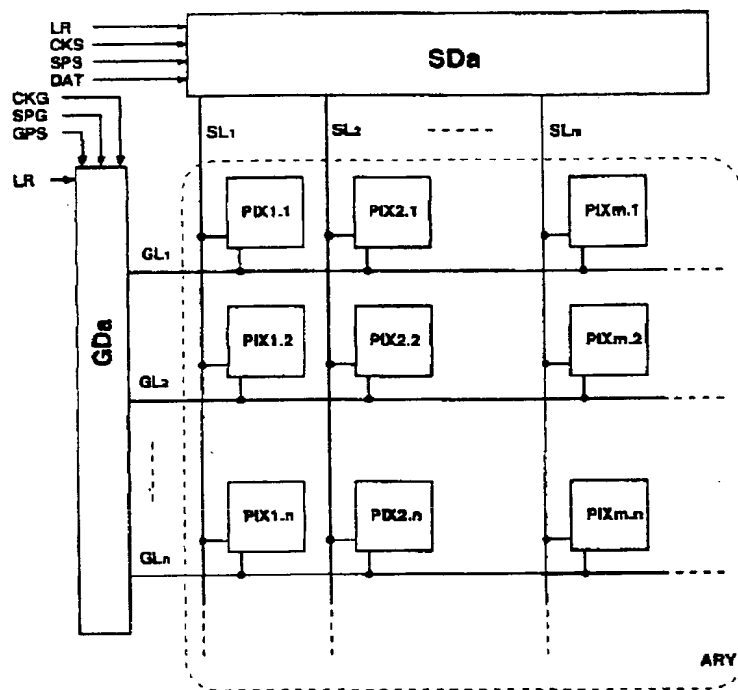
【図8】



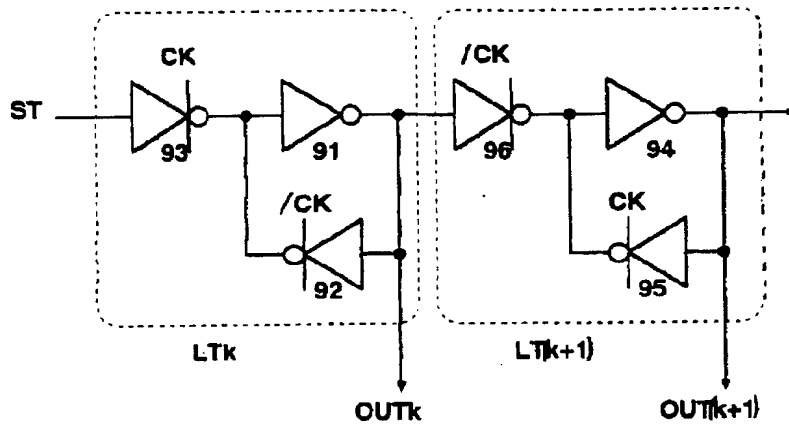
【図15】



【図 7】

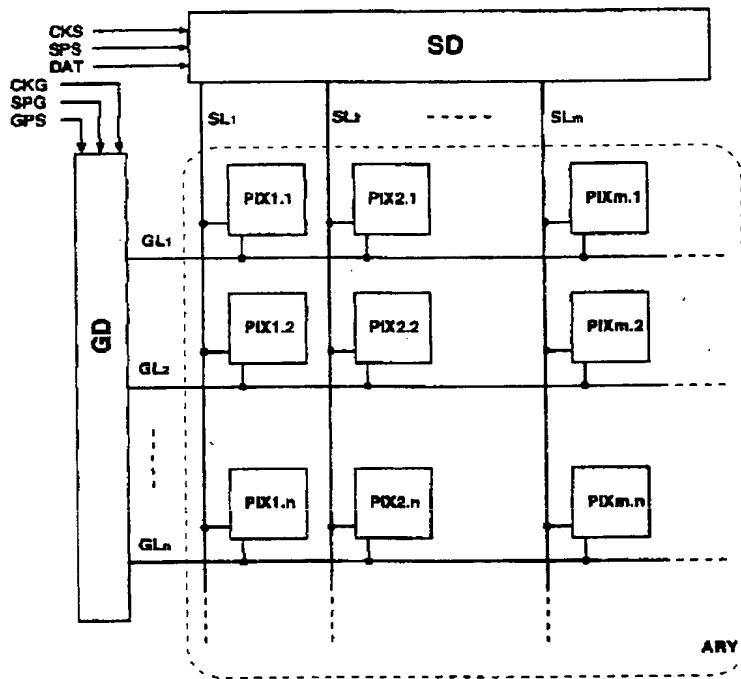


【図 9】

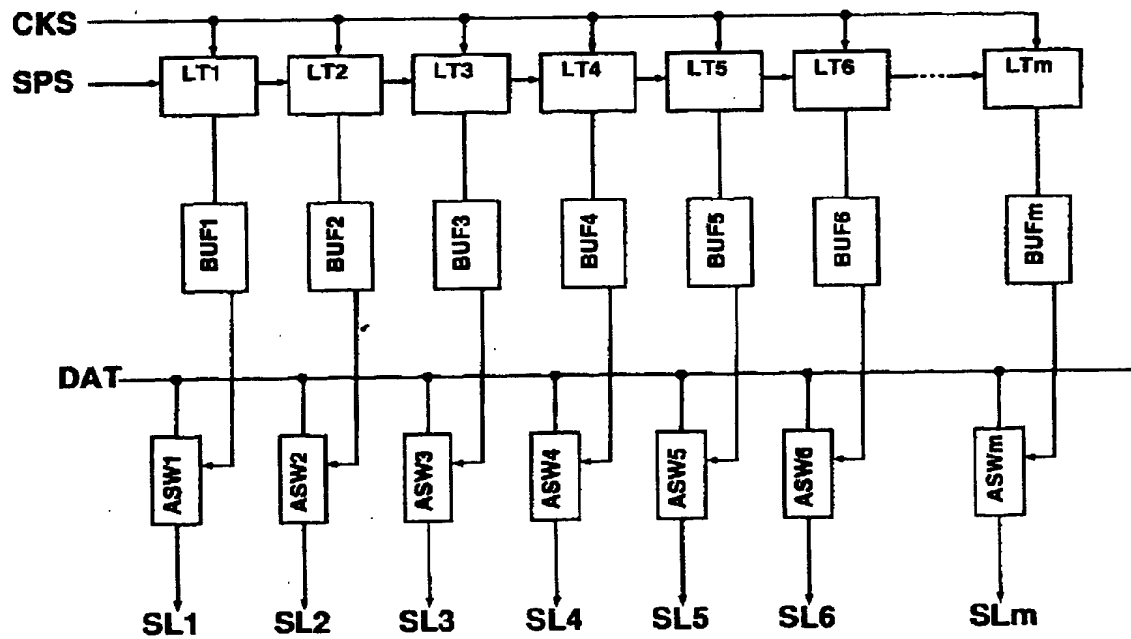




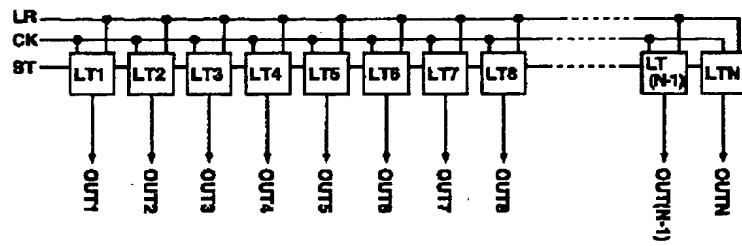
【図10】



【図11】



【図13】



【図14】

